

DERWENT-ACC-NO: 1983-13465K
DERWENT-WEEK: 198306
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Rendering semiconductor substrates semi:insulating - in
device mfr., by
irradiating to generate crystal lattice defects

PATENT-ASSIGNEE: TOKYO DAIGAKU-CHO[TOKDN], UNIV
TOKYOAKU-CHO[UYTY]

PRIORITY-DATA: 1981JP-0093735 (June 19, 1981)

PATENT-FAMILY:

PUB-NO	MAIN-IPC	PUB-DATE	LANGUAGE	
JP 57210635 A		December 24, 1982	N/A	018
N/A				
US 4469527 A		September 4, 1984	N/A	000
N/A				

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
US 4469527A	N/A	1981US-0326253
December 1, 1981		

INT-CL_(IPC): H01L021/32

ABSTRACTED-PUB-NO: JP57210635A

BASIC-ABSTRACT: Semiconductor device is made including (a)
irradiating a
semiconductor substrate with radiation generating crystal lattice
defects
rendering the entire substrate semi-insulating; (b) providing a
semiconductive
surface layer on part of the substrate; and (c) forming a device
in the
semiconductive portion.

Pref. (I) high purity Si is irradiated with a neutron beam to
introduce deep
trap levels. A semiconductor film is deposited on the surface.

ADVANTAGE - The irradiation produces high quality semi-insulating
substrates,
for devices having reduced electrostatic capacitance relative to
ground,

shortening the delay time, broadening the operative frequency
bandwidth and
increasing operating speed. The semiconductor layers are free
from lattice
defects due to heteroepitaxy, long term ion implant and lattice
defects, or
contamination due to substrate doping, e.g. Au doping of Si.
(First major
country equivalent to J57210635-A)

CHOSEN-DRAWING: Dwg.0/0

TITLE-TERMS:

RENDER SEMICONDUCTOR SUBSTRATE SEMI INSULATE DEVICE MANUFACTURE
IRRADIATE
GENERATE CRYSTAL LATTICE DEFECT

DERWENT-CLASS: L03 U11

CPI-CODES: L03-D03A;

EPI-CODES: U11-C03;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1984-097675

Non-CPI Secondary Accession Numbers: N1984-172919

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—210635

⑥ Int. Cl.³
H 01 L 21/324
21/26

識別記号

庁内整理番号
6851—5F
6851—5F

⑬ 公開 昭和57年(1982)12月24日

発明の数 2
審査請求 有

(全 14 頁)

⑭ 半導体装置の製造方法

⑯ 発明者 菅野卓雄

東京都世田谷区桜 2—2—3

⑰ 特 願 昭56—93735

⑯ 発明者 ホー・コック・ヴー

⑱ 出 願 昭56(1981)6月19日

東京都中野区上高田 2—1—12

特許法第30条第1項適用 昭和56年3月29日
発行第28回応用物理学関係連合講演会講演予
稿集に発表

⑰ 出 願 人 東京大学長

⑱ 代 理 人 弁理士 杉村暁秀 外 1 名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1. 半導体に放射線を照射することにより結晶格子欠陥を生ぜしめ、これを全体的に半絶縁性とし、次にその表面のみを半導体化し、これを半導体基板として半導体装置を製作することを特徴とする半導体装置の製造方法。
2. 半導体はシリコン、ゲルマニウムより成る元素半導体、砒化ガリウム (GaAs)、リン化インジウム (InP) の何れかの化合物半導体より選択する特許請求の範囲第1項記載の半導体装置の製造方法。
3. 半導体に照射する放射線は熱中性子線、高速中性子線、 α 線、 β 線、 γ 線、電子線を使用する特許請求の範囲第1項記載の半導体装置の製造方法。
4. シリコンを半導体材料としてこれに熱中性子線を照射して格子欠陥を生ぜしめると共にシリコンの一部をリンに核変換し、これにレ

ーザー、電子ビーム、イオンビームの何れかを照射して半導体表面を 600℃ 以下の温度に保つてアニーリングすることにより半導体材料の表面層のみ半導体化し、これを半導体基板として各種半導体装置を製作することを特徴とする半導体装置の製造方法。

- a. 半導体材料に照射する熱中性子線のドーズ量を 10^{17} n/cm^2 以上とすることを特徴とする特許請求の範囲第4項記載の半導体装置の製造方法。
- b. 純度の高いシリコン基板に中性子線を照射し、シリコン基板中に深いトラップ単位を導入し、半絶縁性とし、その上に真空蒸着、スパッタリング、化学蒸着、分子線デポジション法、プラズマデポジション法の何れかにより半導体層を堆積させ、これを半導体基板として各種半導体装置を製作する特許請求の範囲第4項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の対地容量を小さくし、対地容量による遅延時間を減らすことにより動作

周波数帯域が広く、動作速度の速い半導体装置を放射線の照射により格子欠陥を生じさせて作成した半絶縁性半導体基板を用いて製造する方法に関するものである。

トランジスタや集積回路等の半導体装置の動作周波数帯域を広くし、動作速度を速くするには、トランジスタ等の半導体装置の寸法を小さくし、キャリアの伝搬時間を短縮するだけでなく、半導体装置の対地容量による遅延時間を減らすことが重要である。

このため、シリコンを半導体基板として用いる場合には、SOS(Silicon On Sapphire), SIMOX (Separation by IM plated Oxygen), グラフォ・エピタキシャル(Graphoepitaxial)構造、金拡散したシリコン等を基板とすることが試みられている。又、化合物半導体を用いた場合には、高濃度の不純物を添加し、半絶縁性にした基板上に通常の半導体程度の抵抗率を有するエピタキシャル層を設けた構造が用いられている。

しかしながら SOS 構造はサファイア基板上に、

エピタキシャル層を成長するものであつて、サファイアとシリコンの格子不整合によるシリコン層内に応力が発生すること及びサファイア基板が高価であること等、その製造上技術的、経済的な問題がある。SIMOX 構造はシリコン基板中に高濃度の酸素を打込み、その後高温熱処理してシリコン基板内部に SiO_2 酸化膜を成長させるものであるが、シリコン表面に大きい損傷ができやすく、このため更に表面上にエピタキシャル層を成長しなければならない。即ちこの方法では工程が複雑となり、また多量のイオン打込み量を必要とするので時間がかかり、従つてコスト高となる欠点がある。グラフォエピタキシャル構造はガラス基板に小さな溝を形成し、これを微結晶として多結晶シリコン層を形成し、光または短時間の熱アニールにより Si 単結晶層を成長させるものであるが、基板との熱膨張係数が違うこと等に問題がある。

また金拡散したシリコン基板を用いる構造は、シリコンに金を拡散し高抵抗化した後、イオンの注入により表面能動層を作るものであるが、半導

体デバイスの作成時において金による汚染の問題がある。

また GaAs 等の化合物半導体では、半絶縁性基板を作成するため、多量のクロム等を基板中に導入するので、その上に能動層をエピタキシャル成長により作成するとき、クロムにより汚染される点の問題になつてくる。

本発明の目的はこれら問題点を解決し対地容量を小さくし、対地容量による遅延時間を減らすことにより動作周波数帯域が広く、動作速度の速い半導体装置の製造方法を提供するにある。

このような目的を達成するため本発明の半導体装置の製造方法において、半導体に放射線を照射することにより結晶格子欠陥を生ぜしめ、これを全体的に半絶縁性とし、次にその表面のみを半導体化し、これを半導体基板として半導体装置を製作することを特徴とする。

このようにすれば放射線照射により半導体基板上に形成された半絶縁性膜上に半導体装置が設置されることになるので SOS と同じく pn 接合によ

る接合容量ができず、対地容量が減少するのである。

本発明の方法を完成させるための半導体材料としては通常使用されている純度の高いシリコン基板を用いることができる。実験には厚さ 140 乃至 300 μm の無転位 FZSi 基板を用いたが通常のシリコン基板、更には GaAs, InP その他の化合物半導体基板を用いることができる。上述の FZSi 基板とはフローティングゾーン法より造つたシリコン半導体基板を云うものとする。

このような半導体に熱中性子線を照射すると格子欠陥が多量にできる。この格子欠陥はエレクトロン・スピン・レゾナンス (ESR) 法による研究の結果複雑な Si 空位ではないかと考えられる。また熱中性子線のような放射線を半導体材料に照射すると、深いトラップ単位が導入される (これは DLTS 法により確認されている) ために半導体材料全体が半絶縁性基板になるのである。このような格子欠陥を導入する放射線としては熱中性子線の他に高速中性子線、 α 線、 β 線、

γ線、電子線等も利用できる。

こうして得られた半絶縁性基板の表面に半導体層を形成することについての第1の実施例は、レーザー光ビーム、電子ビーム又はイオンビームを表面に照射し、半絶縁性基板の表面の下表面近傍部分をアニールし、この部分の前記格子欠陥を消滅させるものであるが、ここで注意すべきことはこの部分の温度を600℃以下に保つことである。ここで、このアニールのプロセス温度が高いと基板全体がアニールされ、基板全体の格子欠陥が消滅し、半絶縁性が失われてしまうからである。上述のレーザーアニール、電子ビーム、イオンビームによるアニールに代えて、半絶縁性基板の表面上に真空熱着、化学熱着(CVD)、分子線デポジション又はプラズマデポジション等により半導体層を成長又は堆積させるようにしてもよい。

なお、本発明の実施に当つては、このようにして得られた半絶縁性半導体基板上に他の半導体を結合させて、MOSFET(メタル・オキサイド・シリコン電界効果トランジスタ)を試作したが、このように

$$(3/p) = (30Si) \sigma_0 \phi_{th} \cdot t = 1.7 \times 10^{-4} \phi_{th} \cdot t (cm^{-3}) \quad (2)$$

と与えられる。

この方法で製作する半絶縁性基板は次のような利点を有する。

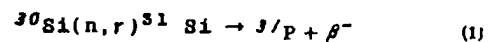
- ① 金のような不純物を添加し、作成した半絶縁基板に比較すると、不純物による汚染がない。
- ② 必要な不純物の密度が制御可能である。
- ③ 量産性がよい。

一方、放射線によつて発生する欠陥は高温に加熱することによつて除去できるので、光ビームあるいは電子ビーム又はイオンビームにより表面層のみ温度を上げてアニーリングし、表面に半導体化した層を形成することができる。しかしこのような半絶縁性半導体基板を用いて半導体層を形成する場合、プロセス温度を600℃以下に抑える必要がある。プロセス温度が600℃より高いと基板中の格子欠陥がアニールされ、基板全体の格子欠陥が消滅し、基板の半絶縁性が失われてしまうからである。

して得られる半導体装置としては集積回路MOSFETだけでなく、バイポーラトランジスタ、ダイオード、抵抗、キャパシタンス、インダクタンス等の集積回路用半導体素子又は個別電子部品もある。

本発明の実施の一例を図面につき以下詳細に説明する。

本発明の実施例では熱中性子照射による核変換とレーザー・アニーリングを用い、新しい基板構造を実現した。熱中性子源を選んだ理由は、第一にシリコン基板中に核変換により所定の量の原子を空間的に均一に導入することができ、後にレーザー・アニーリングにより表面にn型シリコン層が作成できるからである。即ち熱中性子を照射した場合、シリコン基板中の(n, γ)反応により一部のシリコンを燐(P)に変換することができる。この反応は次式の如くである。



この反応における熱中性子の捕獲断面積 σ_0 は0.1バーン(barn)で、β線崩壊の半減期は2.62時間である。このようにして発生するPの密度は

MOS電界効果トランジスタの作成に必要な工程は、

- ① ドレイン・ソース接合の形成
- ② ゲート酸化膜の成長
- ③ 電極の配線

である。

本発明では1000℃程度の高温度での不純物の拡散即ち高温熱拡散法を用いることができないので、イオン注入法とレーザーアニーリングを使用した。又、ゲート酸化膜の成長はプラズマ陽極酸化により行つた。

第1図は本発明実施例におけるMOS電界効果トランジスタの製作方法である。即ち第1図(A)において1は熱中性子照射を受けた半絶縁性シリコン基板でレーザー・アニール中の表面汚染を避けるためにシリコン窒化膜2で基板1の表面が保護されている。

これを第1図(B)に示すようにQスイッチ・ルビ-レーザーを用い約1ジュール/cm²の照射エネルギー密度でシリコン窒化膜2を剥して半絶縁性シリコ

ン基板1の表面をアニールすると深さ約1 μ mの表面層3がアニールされる。本実施例の場合熱中性子照射を受ける前のシリコン基板の抵抗率は約1.5 K Ω cmの π 型であるので 1.6×10^{18} n/cm²ドーズ量の熱中性子照射を行つた場合、基板の抵抗率は1 M Ω -cm以上になり、その表面をレーザー・アニールすると表面はn型で抵抗率が約2 Ω -cmの半絶縁性の層3が得られる。

次に第1図(D)に示すようにシリコン酸化膜2を熱磷酸で除去した後にレジスト(AZ 1350) 5を所望部分に塗布し、通常のリソグラフィによりMOS電界効果トランジスタのソース・ドレイン領域になるべき箇所4だけレジストを除去する。

この状態でボロンを100 KVの加速電圧で 10^{15} /cm²のドーズ量だけ打込み、ソース・ドレイン領域4を形成し、レジスト5を除去した後、第1図(D)に示すように0.4 ジュール/cm²のエネルギー密度でレーザー・アニールを行い、ソース・ドレイン領域の不純物を活性化してn⁺領域とする。

ついで酸素プラズマ中でシリコンの基板の温度

を500 $^{\circ}$ Cに保つて陽極酸化を行い、第1図(E)に示すようにシリコン表面にシリコン酸化膜6を形成する。その後リソグラフィによりソース・ドレイン領域4への接続のための孔7を形成し、アルミニウムを蒸着して再びリソグラフィにより、パターニングを行い、ソース・ドレイン電極8、ゲート電極9を形成し、MOS電界効果トランジスタとする。

本実施例においては表面層中の不純物としては、シリコン基板の熱中性子照射による核変換により発生した燐を用いたが、その他にあらかじめ添加しておいたドナー、アクセプタを利用することもできるので、ロチヤネルMOS電界効果トランジスタを製作することも可能である。

上記の実施例よりも明らかな如く、本発明によりBOS構造におけるようなヘテロエピタキシーに伴う格子欠陥のないSIMOX構造におけるような長時間のイオン打込みや格子欠陥の導入のない金(Au)の添加の場合のように汚染の伴わない半絶縁性基板を用いて対地容量の小さい半導体装置を

製造することが可能になり、従来、物質定数の差を考慮しても、GaAsデバイスより高周波特性、高速性の点で劣っていたシリコン半導体デバイスの特性が改善できる。更にこの方法をゲルマニウム等の元素半導体又は砒化ガリウム(GaAs)及びリン化インジウム(InP)等の化合物半導体に適用した場合は、従来行われてきたときクロム等の不純物を多量に添加する必要はなく、高品質の半絶縁性基板を得ることができ、GaAs等の化合物半導体を用いた半導体デバイスの特性を向上することができる。

本発明により半導体に熱中性子線を照射した場合に結晶の格子欠陥がどのようにして出来たか、また、レーザー・アニールングにより絶縁特性がどのように変化したかを調べた結果は次の通りである。

実 験 例

1. 熱中性子照射したSi基板中の欠陥と絶縁特性のアニール温度依存性

I-1 試料作成及び測定条件

熱中性子照射に用いた試料は表1に示すように無転位FZSi基板であり厚さが140 μ m及び300 μ mである。熱中性子照射は日本原子力センターで行われ、その条件は表2に示されている。照射後、約3ヶ月冷却した。試料の表面汚染を防ぐために、照射前、一部の試料は熱酸化膜で保護されている。また照射後塩酸で処理した後フッ酸と硝酸の混合液で表面を約1 μ mエッチングした。アニールングは表3に示すようにAr雰囲気中で行った、アニール時間は約20分である。

基板中の欠陥はESR法を用い測定を行つた。ESR装置は日本電子製JESME型である。測定温度は室温及び液体窒素温度である。また測定条件は表4に示してある。なお、g値の測定は

$$h\nu = g\beta H \quad (8)$$

の式から求めた。ただし

h : プランク定数

ν : マイクロ波の周波数

β : ボーア因子

H : 直流磁界

である。マイクロ波の開波数は開波数計により測定した。また磁界は g_0 値のわかつた標準 DPPH 試料を用いて校正した。

表 1 熱中性子照射前の Si 基板の特性

成長方法	フローティングゾーン法
不純物	ホウ素
比抵抗	$> 1.5 \text{ KO}\cdot\text{cm}$
結晶方位	(111)
厚さ	150 & 300 μm

表 2 熱中性子照射条件

熱中性子源	日本原子力センターの GRR-3 号炉
熱中性子線束	$2.10^{15} \text{ n/cm}^2 \cdot \text{s}$
Gd RATIO	15:1
ドーズ量	4.10^{17} n/cm^2 & $1.6.10^{18} \text{ n/cm}^2$
冷却期間	3ヶ月
エッチング	HF:HNO ₃ 1:10 1分in

を (111) 面に垂直にかけた時、合計六つのピークが観測された。それぞれの g 値を表 5 に示す。A, B, O ピークはそれぞれ 2.012, 2.007, 2.005 の g 値を有するので、Si-P₁ センタによると同定された。その Si-P₁ センタは Lee によると五つの Si 空位により構成されている。E, F, G のピークは約 200 °C でアニールされてしまうので別のセンタに起因すると考えられる。電子線照射によつて発生する Si-A₂ センタとよく似ておるので "Divacancy" (空位) ではないかと推測される。液体窒素の温度でも同様のピークが測定された。

表 3 熱アニーリング条件

炉	抵抗加熱石英炉
温度範囲	200 ~ 1000 °C
雰囲気	アルゴン
アニーリング工程	30 °C
アニーリング時間	20 分

表 4 ESR 測定条件

マイクロ波周波数	X バンド
空洞	TE ₀₁₁
温度	300K & 77K
変調幅	1 G
変調周波数	100 KHz
マイクロ波電力	2 mW
測定対象	$\frac{dX}{dH}$
マーカー	Mn ²⁺ in MgO
感度	5.10^{10} スピン/G

I-2 測定結果

第 2 図に測定された ESR 信号を示す。磁界

表 5 熱中性子照射により発生した欠陥の ESR 信号の g 値H \perp (111) の場合

ピーク	ナイスノフ及びフアン	現在の場合	センター
A	2.011	2.011	Si-P ₁ (Si-N)
B	2.0075	2.008	
O	2.005	2.005	
E	—	2.022	SiA ₂
F	—	2.020	
G	—	2.019	

熱中性子照射した Si の ESR 信号のアニール温度による A, B, O ピークの変化を第 3 図に示す。400 °C でアニールした後、ピーク O に隣っていた新しいピーク D が観測された。熱中性子照射した Si の ESR 信号強度を室温で測定した場合の ESR 信号のピーク対ピーク値のアニーリング温度による変化を第 4 図に示す。400 °C 付近でアニーリングした後、A

ピークが消えるが、B, C, Dピークは700℃でアニーリングしたあともわずかに残っている。液体窒素温度で同様の実験を行つた場合の結果を測定した場合のESR信号強度の熱処理温度による変化を第5図に示す。600℃でアニーリングしたあと、Aピークが消えるがB, C, Dピークは残っていることがわかる。熱中性子照射したSi基板の抵抗率と熱処理温度との関係を第6図に示す(なお、熱中性子ドーズ量は $3.8 \times 10^{18} \text{ n/cm}^2$ である)。

試料の抵抗率は第6図からわかるように600℃から急激に下り始めるが、600℃まではまだ高抵抗のままである。一見、第4図及び第5図の欠陥密度の単調現象と矛盾のように見えるが、この条件で照射した後発生するスピンの密度が約 10^{16} cm^{-3} であるのに対し、導入された不純物密度が約 10^{18} 未満であるので、ESRの信号強度が一桁小さくなつても、欠陥の密度がまだ大きいので十分基板を半絶縁性に保つことができる。

熱中性子照射したシリコン基板では、内部には点欠陥が発生しているが、結晶性は保たれているので、レーザー照射後の結晶構造の変化を調べるのはあまり意味がない。この場合、電気的な特性及び点欠陥の挙動を調べなければならないが、通常導入される不純物密度が小さく $\sim 10^{15} \text{ cm}^{-3}$ の程度であり、またESR測定感度からあまり薄いアニーリング層の電気的な特性及び点欠陥の挙動を調べるのは困難であるので光の透過長の長いYAGレーザー(波長 $\lambda = 1.06 \mu\text{m}$, $\alpha \sim 10 \text{ cm}^{-1}$)を選び、レーザー・アニーリング効果を検討した。

この実験装置は第7図に示されている。用いているレーザー発生装置11は日本電気製Nd-YAG ^{アルミニウム} (ネオジウム-イットリウム ^{アルミニウム} ガーネット)レーザーSL 113型で、0W発振で、定格出力約10Wである。レーザービームを30mmのシングル・レンズ12で、レンズ焦点面に置いた試料13の表面にしぼり、X-Y 2軸メカニカルステージ14を使い、X軸走査装置15及びY軸走査装置16で試料を左

またこのような欠陥のエネルギー単位をDLTS法より求めた熱中性子照射により発生した格子欠陥のエネルギー単位を第7図に示す。第7図に示すようにSi基板中に多くの深い単位が発生していることがわかる。これよりESR法で測定したSi-P₁センタはこれらの原因になつていとも考えられる。

以上をまとめると、熱中性子照射によりシリコン基板中には多くの格子欠陥が発生するが、その原子的な構造は複雑なSi空位ではないかと考えられる。またそのトラップ単位によつて基板が半絶縁性になつていますが、600℃以上になるとほとんどのトラップがアニールされてしまう。従つてこのような半絶縁性Si基板を用い、シリコン半導体デバイスを作成する場合、プロセス温度を600℃以下に抑える必要がある。

1. レーザ・アニーリングによる欠陥の消滅の確認及びシリコン・インシュレータ構造(S-1構造)の試作

1-1 レーザ・アニーリング効果

右に動かし約1cm角の領域をアニーリングした。焦点面におけるビーム径は約40 μm で、スキャン速度は10mm/secである。アニーリング領域を均一にするため、照射線を約30重ね合わせた。なお、レーザー・アニーリングによる抵抗率の変化を測定するため、第9図に示すような工程で試料を作成した。

第9図(A)に示すようにSi基板21の上にリンを含む酸化物層22を設けた。これを第9図(B)に示すように、1100℃で20分間加熱してSi基板21と酸化物層22との間にn⁺層23を形成した。これに第9図(C)に示すように熱中性子線を照射してSi基板21の内部に格子欠陥を作つた。ここで酸化物層22を除去した上で第9図(D)に示すように3カ所にエレクトロンワックスコーティング24を塗布形成した。

次にn⁺層23をエッチングによりこの部分25を除去し、これをレーザー・アニーリングして試料を作成しNd YAGレーザー・アニーリングの効果を確認するためその抵抗値の変化を測定した。

この測定結果は第10図に示すように、約1000 ÅのSiO₂保護膜のついた薄い試料(140 μm)の場合、比較的低エネルギーでアニーリングが可能で、約1 Wで電気的な特性が回復されることがわかる。それ以上にパワーを上げると第11図のように約10 Wで表面を融解することができた。第11図はQW YAGレーザーにより融解したシリコン表面の状態(倍率300倍)を示す。しかし厚い試料を用いた場合、同じエネルギーでアニーリングしても回復が認められなかった。この現象は次のような考察より説明できる。熱伝導の計算によりレーザー照射によるSi表面の温度は、裏面の温度に大きく依存している。従って試料が薄い場合、レーザー光は裏面まで到達するので裏面温度が高くなる。これによつて表面温度も高くなると考えられる。

次にESR法より、点欠陥の挙動を調べた。第12図はNd YAGレーザー・アニーリングにより熱中性子照射したSi基板の欠陥の消滅過程を示すものである。その測定結果は第12図に示すよ

うにSi-A₂センタによるピークは低電力でアニールされたが、Si-P₁センタは、エネルギーが大きいほど小さくなるが、Si表面を融解する条件でアニールするとはじめて完全に消滅したことがわかった。

1-2 Si-1構造の試作

1-2-1 理論的検討

前述の実験結果から、熱中性子照射により発生した欠陥がレーザー照射により、アニーリングされたのは、レーザー照射による基板の温度上昇によつて説明できる。従つて、実際のSi-1構造を作るにはレーザー照射による基板の温度上昇も表面近傍に抑えなければならない。

レーザー照射による表面の温度上昇は熱伝導方程式により求めることができる。Qスイッチ・ルビーレーザーの場合($\lambda = 0.694 \mu\text{m}$, $\alpha \sim 2 \times 10^5 \text{ cm}^{-1}$)光のSi中の透過長が短いので有望と考えられる。実際、透過長がレーザービーム径より十分短いので、一次元の熱伝導方程式が用いられる。それは

$$\frac{\partial}{\partial x} (-K_j(T) \frac{\partial T}{\partial x}) + Q_j(T) \frac{\partial T}{\partial t} = P_j(x, t) \quad (4)$$

境界条件

$$K_S \frac{\partial T}{\partial x} \Big|_{x_B} - K_L \frac{\partial T}{\partial x} \Big|_{x_B} = L \frac{dx_B}{dt} \quad (5)$$

ただし、 K_S 及び K_L はそれぞれ固体及び液体の熱伝導率で、 Q は比熱、 L は潜熱、 x_B は液相-固相の位置である。

(4)式の右辺はレーザーよりの入力エネルギーを熱源として考えたもので

$$P_j(x, t) = \frac{\alpha_j E (1 - R_j)}{\sqrt{\pi} l} \exp(-\alpha_j x) \exp\left(-\frac{t}{\tau}\right)^2$$

で与えられる。ただし、 R_j は光反射率、 α_j は吸収係数で、 E は単位面積当りのレーザーよりの入力エネルギーで、レーザービームを半値幅 $2(\ln 2)^{1/2} l$ のガウス分布をしていると仮定する。

計算結果は第13図及び第14図に示す。第13図にはQスイッチルビー^{レーザー}照射により融解した表面

層とレーザーエネルギー密度との関係が示されている。また第14図には深さ方向の温度分布を示す。この二つの結果から、Qスイッチレーザーエネルギー密度を1~2 J/cm²にすると表面層約1 μm程度がアニールできると考えられる。

1-2-2 実験

上述の理論計算結果を確認するため、Qスイッチ・ルビーレーザーを用い、Si-1構造を試作した。用いたレーザーは日本電気製Qスイッチ・ルビーレーザーSL 2008型、波長0.694 μm、出力0.8 J/pulseである。照射エネルギー密度を変化させるため、焦点距離118 mmの凹レンズ及び100 mmの凸レンズで照射面積を調整した。

アニールされる表面層の深さを測定するため、第15図に示すような手順で、表面層をエッチングし、抵抗値の変化を測定した。

即ち、第15図(A)に示す表面に酸化物(SiO₂)層31を有するSi基板32に熱中性子線を照射し、第15図(B)に示すようにSi基板32の全体に格子欠陥を生ぜしめて半絶縁性とする。これにパルスレ

ーザを照射して表面部をアニールし、第13図(C)に示すように酸化物層31に接するSi基板32の部分に活性層33を形成する。次いで酸化物層31を除去した上で第13図(D)に示すように2カ所にオーミック接点34を設け、オーミック接点34、34の間だけを強し他をエレクトロンワツクスコーティング35を被覆してオーミック接点間の部分だけを第13図(E)のようにエッチングし、その上でエレクトロンワツクスを全部除去して第13図(F)の状態として測定した。ちようど表面層がエッチングされてしまうと、測定端子間の抵抗値は一定になる。この抵抗値は半絶縁基板の抵抗を示す。第14図に示すようにエネルギー密度約 1 J/cm^2 で、 SiO_2 膜厚約 $0.1 \text{ }\mu\text{m}$ で保護した熱中性子照射したSiに照射すると、約 $1 \text{ }\mu\text{m}$ の表面層がアニールされることがわかる。実験誤差の範囲内で、理論値とよく一致している。

表面活性層のアニール条件による違いを光学的に調べるため、第17図に示すフォトルミネッセンス測定装置を用い、フォトルミネッセンス

強度を測定した。第18図に示すように熱中性子照射後は室温では発光は観測されなかつたが、レーザ・アニーリングした後、光るようになる。また保護膜をつけた方が発光が約2倍ぐらい強いことがわかる。これは保護膜を用いることによつて酸素及び窒素のアニール層内への混入を防ぐことができたためと思われる。

第17図に示すフォトルミネッセンス測定装置の構造及び機能は次の通りである。アルゴンレーザ41から発した光を2段のフィルタ42及び43を通して十分に単色化した上で反射鏡44、レンズ45を介して窓46aからクライオスタットの内に格納してある試料47に照射し、試料47を発光させ、試料47から出てきた光を窓46bから取り出してレンズ系48を介してモノクロメータ49に送給し、光電子増倍管51から電気信号の形で出力信号を取り出し、この信号をロックイン回路に送る。これとは別にフィルタ42と43との間にチヨツパ52を設けておきALレーザ41よりフィルター42を通つたビームをチヨツパー53基準信

号をロックイン増幅器54に送る。上述の光電子増倍管51より取り出された電気出力信号は交流電気信号であるので、この交流電気信号をロックイン増幅器54で直流電圧に変換し増幅してチヨツパー53からくる基準信号により同期をとりレコーダ55で記録する。

II. 低温プロセスによるS-1構造を用いたMOS FETの試作

II-1 適用した低温プロセスの概略

第3節にS-1構造の作成について述べた。この構造を用いデバイスを作る場合、第1節で述べたようにすべてのプロセスを 400°C 以下に抑える必要がある。ここでアニールされた活性層の評価及び作成プロセスを総合的に検討する意味で簡単なメタル・オキサイド・シリコン・フィールド・イフエクト・トランジスタ(以下MOSFETと略称する)の試作を行い、特性を測定し検討した。

MOS FETの作成に必要な工程は

- ①不純物導入によるP-n接合の形成
- ②ゲート酸化膜の成長

③電極の配線

④表面安定化

等と考えられる。

ここでは、従来の高温熱拡散法 ($> 1000^\circ\text{C}$) が用いられないので、イオン注入法を用い不純物を導入する。その後レーザ・アニーリングにより不純物を活性化させる。また、ゲート酸化膜の成長において高温熱酸化 ($> 800^\circ\text{C}$) 以外、低温プロセスであるプラズマOVD法、スパッター法及び陽極酸化法等がある。プラズマOVD及びスパッター法で成長した SiO_2 膜は必ずしもストイキオメトリの良い酸化膜が得られないので、ドライプロセスであるプラズマ陽極酸化法を選んだ。またSi表面を保護するため、プラズマOVD法を用いた。

II-2 S-1 MOS FET特性及び検討

試作したMOS FETのパターンを第19図に示す。このMOS FETのゲート長が約 $50 \text{ }\mu\text{m}$ 、ゲート幅が $200 \text{ }\mu\text{m}$ である。またMOS FETのDC特性を第20図に示す。この特性を評価するため、高温プ

プロセスを用い、基板内の欠陥を完全に消滅させた条件下で同寸法の MOS FET を試作した。この高温プロセスにおいて、熱酸化を 1100°C 及び熱拡散を 1100°C で行つた。この 1100°C の高温プロセスによつてできた MOS FET の DO 特性を第 21 図に示す。ドレイン電圧の大きい所では両者はほぼ同じような特性を示しているが、低ドレイン電圧での低温プロセスによる S-i MOS FET の立ち上りが悪い。

低温プロセスによる MOS FET の立ち上がりが悪い原因としては

- ① プラズマ陽極酸化膜の界面特性
- ② 活性層の残留欠陥
- ③ p-n 接合の接合部の残留欠陥

等の理由が挙げられる。第一の理由を検討するため、熱中性子照射しない Si ウェーハを用い、熱拡散によりソース及びドレインを形成した後、プラズマ陽極酸化法によりゲート酸化膜を成長し同寸法の MOS FET を作成した。その特性は第 22 図に示す。低ドレイン電圧での立ち上りが良

好であることからプラズマ陽極酸化による界面特性がその原因でないことがわかる。従つて、 400°C に加熱する低温プロセスによる S-i MOS FET の悪い立ち上り特性は活性層内及び p-n 接合の接合部の残留欠陥によると考えられる。その理由としてはレーザ・アニーリングにおいて短時間加熱、急冷却することにより格子欠陥が新たに発生することが考えられる。また短時間加熱により熱中性子照射によつて発生した格子欠陥及びイオン注入した発生した格子欠陥が残留する可能性もある。これらの欠陥を除くのが今後の課題であることが認められた。

■-5 低温プロセスによる MOS FET の試作後の絶縁性の評価

現在 MOS FET を製作した際、用いたプロセスはレーザ・アニーリング以外最高温度を 500°C に抑えた。酸化した後、基板内の欠陥を ESR 法で再び測定した。第 23 図に示すように ESR 信号強度が約 $\frac{1}{10}$ に減ることがわかる。しかし上述したように、欠陥密度が約 $10^{15} \text{ spin/cm}^2$ であるので、Si 基板の半絶縁性が保たれることがわか

る。また基板の抵抗率を測定すると約 $10^5 \Omega \cdot \text{cm}$ であることが確認された。

N 結 論

本実験により熱中性子等の放射線を照射し半絶縁性とした半導体の試作及び高周波デバイス及び高速論理素子への応用の問題点を検討した。熱中性子照射により半絶縁性の半導体基板を製作した後、レーザ・アニーリングにより上述の S-i 構造を作成することが可能であり、また低温プロセスによりデバイスを製作できることが明らかになりこの新規の半絶縁性半導体構造の有用性が明らかに確認された。

※ 図面の簡単な説明

第 1 図は本発明の実施例における MOS 電界効果トランジスタの製作プロセスを示す工程図、第 2 図は熱中性子を照射した Si 基板の ESR 信号による欠陥特性図、第 3 図は熱中性子を照射した Si 基板の ESR 信号のアニーリング温度による変化を示す特性図、第 4 図は熱中性子照射した Si 基板の ESR 信号強度の熱処理温度による変化を示した

特性線図、第 5 図は液体窒素温度で測定した場合の ESR 信号強度の熱処理温度による変化を示した特性線図、第 6 図は熱中性子（熱中性子ドーズ量 $\sim 3.8 \times 10^{18} \text{ n/cm}^2$ ）を照射した Si 基板の抵抗率と熱処理温度の関係を示す特性線図、第 7 図は熱中性子照射により発生した欠陥のエネルギー単位図、第 8 図は OW Nd YAG レーザを用いたレーザ・アニーリング装置のブロック回路図、第 9 図は Nd YAG レーザのアニーリング効果を評価するための試料を作成する場合の工程図、第 10 図は Nd YAG レーザ・アニーリングによる抵抗値の変化を示す特性線図、第 11 図は OW YAG レーザにより融解した表面の模様（倍率 300 倍）を示す顕微鏡写真図、第 12 図は Nd YAG レーザ・アニーリングによる熱中性子照射した Si 基板の点欠陥の消滅過程の特性線図、第 13 図は Q スイッチルビーレーザ照射により、融解した表面層の深さとレーザ・エネルギーの特性線図、第 14 図は Q スイッチルビーレーザを照射した場合の温度分布特性線図、第 15 図は Q スイッチルビーレーザ・アニーリングした場合の

アニーリングされた深さを測定するプロセスの工程説明図、第16図は抵抗値とエッチング深さの関係を示す特性線図、第17図はフォトルミネッセンス測定装置のブロック回路図、第18図はレーザ・アニーリングされた表面のフォトルミネッセンススペクトル特性図、第19図は試作したMOS FETのパターンの断面図、第20図は低温プロセスのMOS FET ($V_{Th} \sim -6V$; $V: 10 \mu A/div$; $H: 1V/div$; $V/step$) のDC特性図、第21図は高温プロセスのMOS FET ($V_{Th} \sim -7V$; $V: 10 \mu A/div$; $H: 1V/div$; $V/step$) のDC特性図、第22図は熱中性子照射しない基板を用い、プラズマ陽極酸化膜をゲート酸化膜としたSi MOS FET ($V_{Th} \sim -5V$; $V: 10 \mu A/div$; $H: 1V/div$; $V/step$) のDC特性図、第23図はプラズマ陽極酸化後の熱中性子照射(酸化温度 $\sim 500^\circ C$)したSi基板中の欠陥によるESR信号の特性線図である。

1…中性子照射を受けたシリコン基板、2…シリコン基板表面保護用シリコン窒化膜、3…レーザ・アニールにより半導体化されたシリコン表面

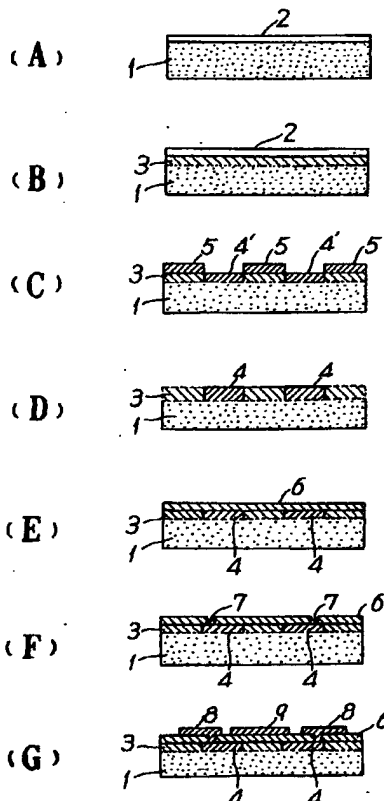
層、4…ソース・ドレイン領域、5…レジスト膜、6…ゲート及び表面保護用酸化膜、7…ソース・ドレイン領域への電極取り付け用孔、8…ソース・ドレイン電極、9…ゲート電極、10…OW Nd YAG レーザを用いたレーザ・アニーリング装置、11…レーザ源、12…レンズ、13…試料、14…メカニカルステージ、15…X軸スキャンユニット、16…Y軸スキャンユニット、21…シリコン基板、22…酸化物層、23… n^+ 層、24…エレクトロン・ワックス・コーティング、25…エッチング部、31…酸化物(SiO_2)層、32…Si基板、33…活性層、34…オームミック接点、35…エレクトロン・ワックス・コーティング。

特許出願人 東京大学長

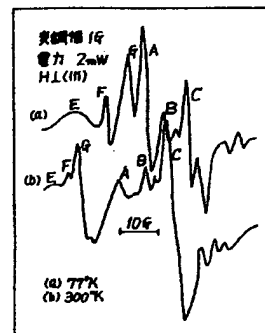
代理人弁理士 杉村 曉 秀

同 弁理士 杉村 興 作

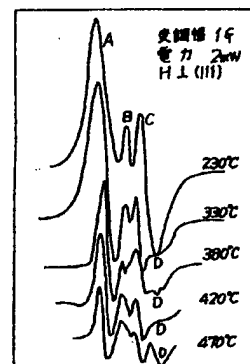
第1図



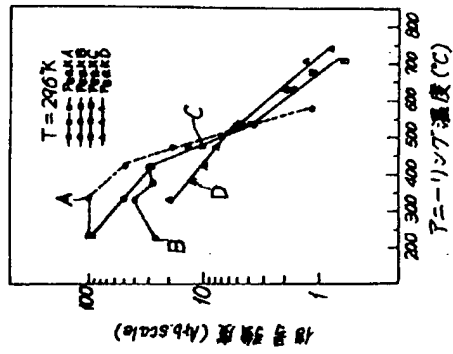
第2図



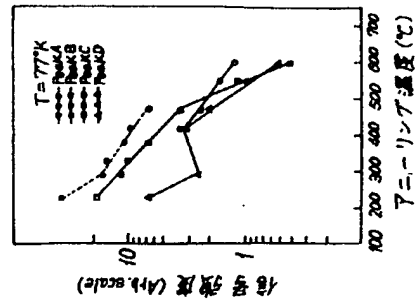
第3図



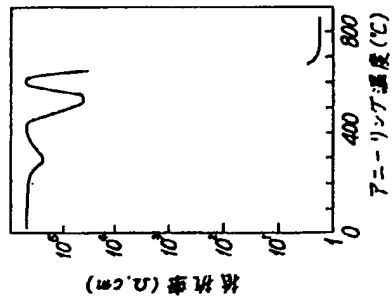
第4図



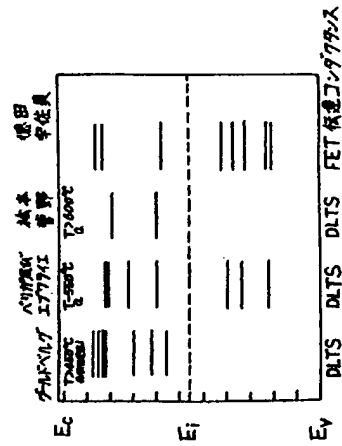
第5図



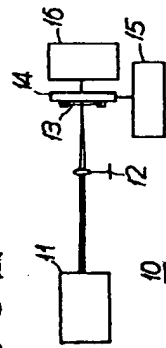
第6図



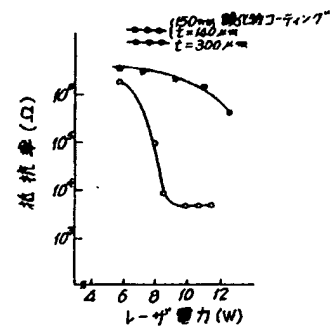
第7図



第8図



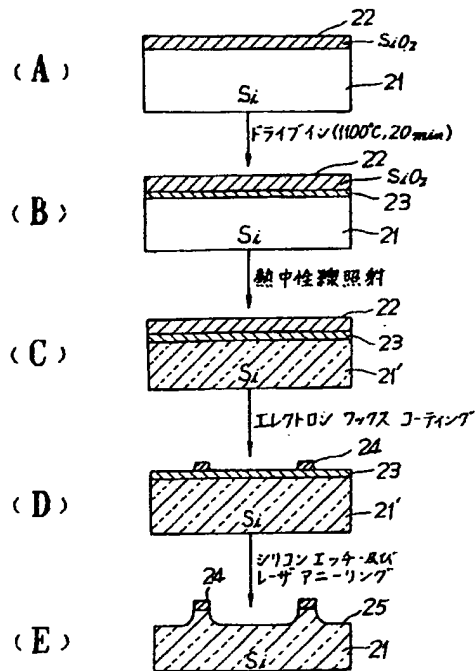
第10図



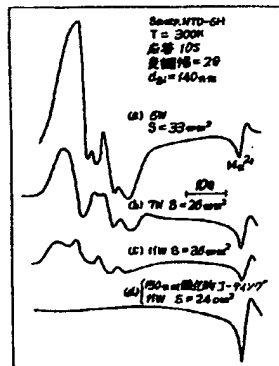
第11図



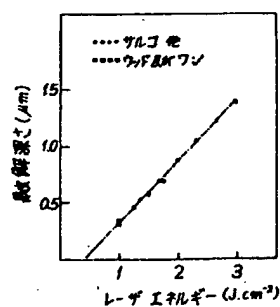
第9図



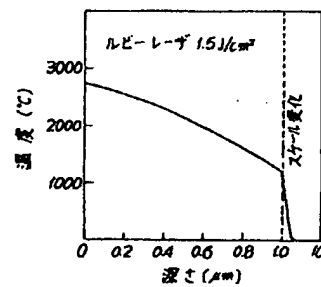
第12図



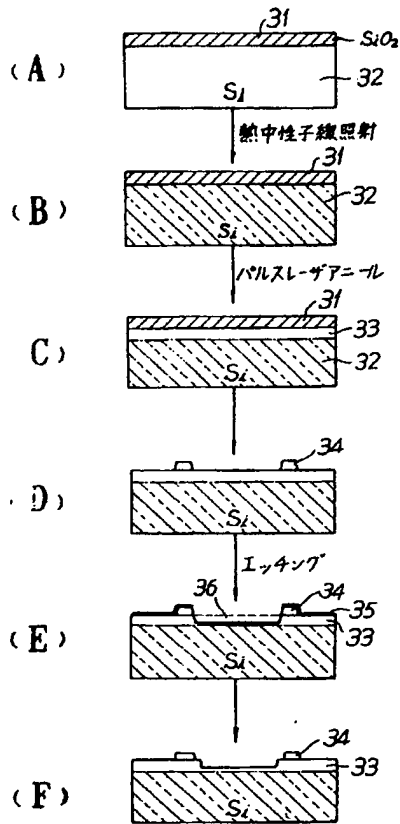
第13図



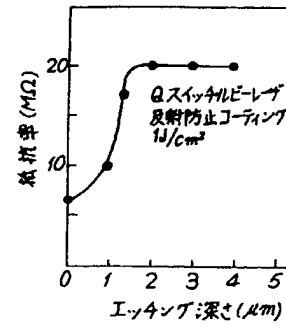
第14図



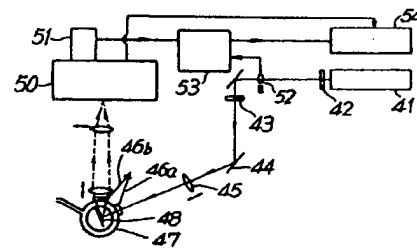
第15図



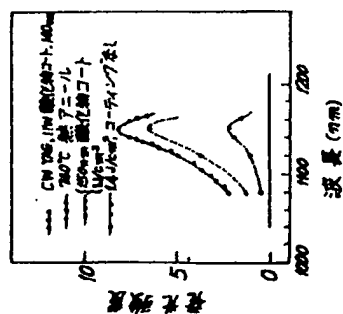
第16図



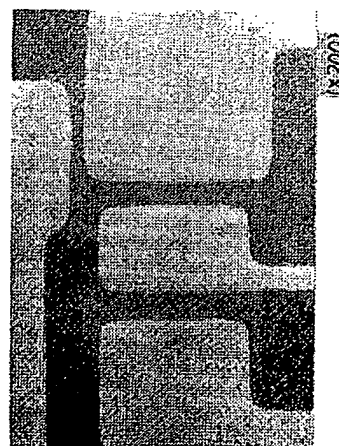
第17図



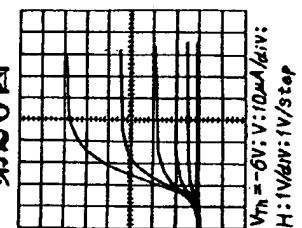
第18図



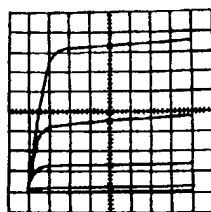
第19図



第20図

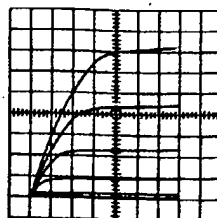


第21図



$V_{Th} \sim 7V$; $V: 10\mu A/div$;
 $H: 1V/div; 1V/Step$

第22図



$V_{Th} = -5(V)$; $V: 10\mu A/div$;
 $H: 1V/div; 1V/Step$

第23図

